PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-111785
(43)Date of publication of application : 23.04.1999

---

(51)Int.Cl.
H01L 21/60
H01L 21/60
G01R 31/02
G01R 31/26
H01L 21/66

---

(21)Application number : 09-273184
(22)Date of filing : 07.10.1997

(71)Applicant : NEC CORP
(72)Inventor : TSUBAKI SHIGEKI

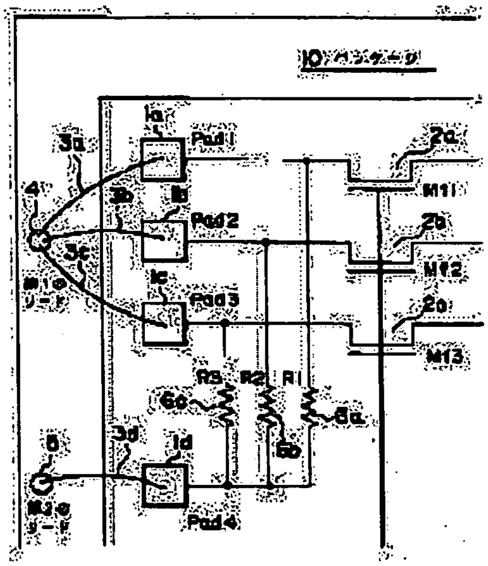
---

(54) METHOD AND DEVICE FOR DETECTING WIRE OPENING OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a power semiconductor device, which can resolve the point that cannot detect the defect, when one of a plurality of wires is connected, even if there is an opening defect in a plurality of wires of a power device cell and the opening defect can be detected readily, without the effect of the number of the opened wires, and the method and device for detecting the wire opening.

SOLUTION: Respective first pads 1a, 1b and 1c corresponding to a plurality of connecting wires 3a, 3b and 3c of first to third device cells 2a, 2b and 2c are connected to a second pad 1d and a second lead 5 via first to third resistors 6a, 6b and 6c. Thus, the wire opening is detected through a change in resistance between a first lead 4 and a wire-opening detecting second lead 5, which are connected to the first pads 1a, 1b and 1c via the first connecting wires 3a, 3b and 3c.



LEGAL STATUS

[Date of request for examination] 07.10.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3011234

[Date of registration] 10.12.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁（JP）

(12) **公開特許公報**（A）

(11)特許出願公開番号

特開平11－111785

(43)公開日 平成11年(1999)4月23日

(51)Int.Cl.^{6}		識別記号	FI		
H01L	21/60	321	H01L	21/60	321Y
		301			301A
G01R	31/02		G01R	31/02	
	31/26			31/26	G
					B

審査請求 有　請求項の数7　OL　（全 5 頁）　最終頁に続く

(21)出願番号　特願平9－273184

(22)出願日　平成9年(1997)10月7日

(71)出願人　000004237
日本電気株式会社
東京都港区芝五丁目7番1号

(72)発明者　椿　茂樹
東京都港区芝五丁目7番1号　日本電気株式会社内

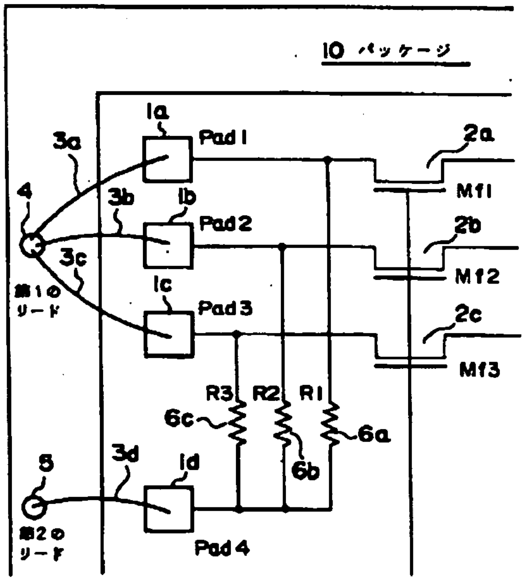
(74)代理人　弁理士　後藤　洋介　（外1名）

(54)【発明の名称】　半導体装置のワイヤオープン検出方法及び装置

(57)【要約】

【課題】　パワーデバイスセルの複数本のワイヤにおいて，オープン不良があっても，複数のワイヤの内，1本でも結合されていれば不良検出ができない点を解消し，オープンしたワイヤ数に左右されずオープン不良を容易に検出することができるパワー半導体装置とそのワイヤオープン検出方法及び検出装置とを提供する。

【解決手段】　第1乃至第3のデバイスセル2a，2b，2cの複数本の第1の結合ワイヤ3a，3b，3cに対応した各第1のパッド1a，1b，1cから，第1乃至第3の抵抗6a，6b，6cを介してワイヤオープン検出用の第2のパッド1dと第2のリード5に接続することにより，第1のパッド1a，1b，1cに，第1の結合ワイヤ3a，3b，3cを介して接続された第1のリード4とワイヤオープン検出用の第2のリード5との間の抵抗の変化によりワイヤオープンを検出する。



R1～R3：抵抗

【特許請求の範囲】

【請求項１】　デバイスセルに対応して設けられた複数の第１のパッドとパッケージの単一の第１のリードとの間に，前記複数の第１のパッドと同数の複数の第１の結合ワイヤを設けたパワー半導体装置のワイヤオープンを検出する装置において，更にワイヤオープン検出用の第２のリードとワイヤオープン検出用の第２のパッドとを第２の結合ワイヤを介して設け，前記複数の第１のパッドと前記第２のパッドとの間を，前記複数の第１のパッドと同数の抵抗を介して接続し，前記第１のリードと前記第２のリードとの間の抵抗値を基にワイヤオープン検出する構造を備えていることを特徴とする半導体装置のワイヤオープン検出装置。

【請求項２】　請求項１記載の半導体装置のワイヤオープン検出装置において，前記各抵抗は略同一抵抗値を有することを特徴とする半導体装置のワイヤオープン検出装置。

【請求項３】　デバイスセルの複数の第１のパッドと，パッケージの単一の第１のリードとの間に，前記複数の第１のパッドと同数の複数の第１の結合ワイヤを設けたパワー半導体装置のワイヤオープンを検出する方法において，更にワイヤオープン検出用の第２のリードとワイヤオープン検出用の第２のパッドとを設け，前記第１のパッドと前記第２のパッドとの間を，前記第１のパッドと同数の抵抗を介して接続し，前記第１のリードと前記第２のリードとの間の抵抗値を基にワイヤオープン検出することを特徴とする半導体装置のワイヤオープン検出方法。

【請求項４】　請求項３記載の半導体装置のワイヤオープン検出方法において，前記各抵抗に，略同一抵抗値を有するものを使用することを特徴とする半導体装置のワイヤオープン検出方法。

【請求項５】　パワーデバイスの複数の第１のパッドとパッケージの単一の第１のリードとの間に，前記複数の第１のパッドと同数の複数の第１の結合ワイヤを設けた構造を備えたパワー半導体装置において，更にワイヤオープン検出用の第２のリードとワイヤオープン検出用の第２のパッドとを第２の結合ワイヤを介して設け，前記複数の第１のパッドと前記第２のパッドとの間を，前記複数の第１のパッドと同数の抵抗を介して接続し，前記第１のリードと前記第２のリードとの間の抵抗値を基にワイヤオープン検出する構造を備えていることを特徴とする半導体装置。

【請求項６】　請求項５記載の半導体装置において，前記各抵抗は略同一抵抗値を有することを特徴とする半導体装置。

【請求項７】　請求項５又は６記載の半導体装置において，パワーＭＯＳＦＥＴを構成していることを特徴とする半導体装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】本発明は，パワーＭＯＳＦＥＴ等のパワー半導体装置，その不良検出方法及びと不良検出装置に関する。

【０００２】

【従来の技術】従来，パワーＭＯＳＦＥＴ（酸化金属電界効果型トランジスタ）等のパワー半導体装置は，伝達される電流が大きいため，図２に示すように，第１乃至第３のデバイスセル（Ｍｆ１～３）５２ａ，５２ｂ，５２ｃに夫々接続された複数のパッド（Ｐａｄ１～３）５１ａ，５１ｂ，５１ｃとパッケージ５０のリード５４との間を結合する結合ワイヤ５３ａ，５３ｂ，５３ｃを複数本にする必要性がある。パワー半導体装置は，複数の結合ワイヤ５３ａ，５３ｂ，５３ｃに対応して複数のパッド５１ａ，５１ｂ，５１ｃを持つ複数のデバイスセル５２ａ，５２ｂ，５２ｃに分割されるが，ＤＣ及び高周波（ＲＦ）動作の際のアンバランスを防ぐため，各デバイスセルの端で電極間金属配線５５ａ，５５ｂにより短絡されている。

【０００３】ここで，ワイヤ付着等のオープン不良があっても，複数のワイヤ５３ａ～５３ｃの内，１本でも結合されていれば正常なデバイス動作をするため，不良検出ができない。ワイヤオープン不良のあるデバイスは，短期的には正常動作をするが，ワイヤ５３ａ～５３ｃの安全に使用できる許容電流を越えているため，長期的には，ワイヤ破損を生じて正常なデバイス動作をしなくなる。

【０００４】この欠点を解消するために，特開平８－５１１９０号公報（従来技術１と呼ぶ）には，電圧レギュレーターを用いた検出方法が開示されている。

【０００５】

【発明が解決しようとする課題】しかしながら，従来技術１においては，検出端子間を定電圧にする用途のみに限定され，通常のパワー半導体装置に適用できないという欠点を有している。

【０００６】また，従来技術１によるパワー半導体装置の複数本の結合ワイヤ５３ａ～５３ｃにおいて，結合ワイヤ５３ａ～５３ｃが１本以上結合されていれば，短期的にはデバイスは正常動作するために，ワイヤオープン不良があっても，複数のうち１本だけでも，結合ワイヤ５３ａ～５３ｃが正常に結合されていれば不良検出ができないという欠点がある。

【０００７】そこで，本発明の技術的課題は，複数本のワイヤを使用するパワー半導体装置において，ワイヤオープン不良を検出し，デバイスの長期正常動作の信頼性を確保することができる半導体装置とそのワイヤオープン検出方法と検出装置とを提供することにある。

【０００８】

【課題を解決するための手段】本発明によれば，デバイスセルに対応して設けられた複数の第１のパッドとパッ

ケージの単一の第１のリードとの間に，前記複数の第１のパッドと同数の複数の第１の結合ワイヤを設けたパワー半導体装置のワイヤオープンを検出する装置において，更にワイヤオープン検出用の第２のリードとワイヤオープン検出用の第２のパッドとを第２の結合ワイヤを介して設け，前記複数の第１のパッドと前記第２のパッドとの間を，前記複数の第１のパッドと同数の抵抗を介して接続し，前記第１のリードと前記第２のリードとの間の抵抗値を基にワイヤオープン検出する構造を備えていることを特徴とする半導体装置のワイヤオープン検出装置が得られる。

【０００９】また，本発明によれば，前記パワー半導体装置のワイヤオープン検出装置において，前記各抵抗は略同一抵抗値を有することを特徴とする半導体装置のワイヤオープン検出装置が得られる。

【００１０】ここで，本発明において，前記半導体装置のワイヤオープン検出装置において，前記各抵抗値は，構成する材料によるが，１０Ω～１０ｋΩの範囲内であることが好ましい。

【００１１】また，本発明によれば，デバイスセルの複数の第１のパッドと，パッケージの単一の第１のリードとの間に，前記複数の第１のパッドと同数の複数の第１の結合ワイヤを設けたパワー半導体装置のワイヤオープンを検出する方法において，更にワイヤオープン検出用の第２のリードとワイヤオープン検出用の第２のパッドとを設け，前記第１のパッドと前記第２のパッドとの間を，前記第１のパッドと同数の抵抗を介して接続し，前記第１のリードと前記第２のリードとの間の抵抗値を基にワイヤオープン検出することを特徴とする半導体装置のワイヤオープン検出方法が得られる。

【００１２】また，本発明によれば，前記半導体装置のワイヤオープン検出方法において，前記各抵抗に，略同一抵抗値を有するものを使用することを特徴とする半導体装置のワイヤオープン検出方法が得られる。

【００１３】ここで，本発明のパワー半導体装置のオープン検出方法において，前記各抵抗値は，構成する材料にもよるが，１０Ω～１０ｋΩの範囲内であることが好ましい。

【００１４】また，本発明によれば，デバイスセルの複数の第１のパッドとパッケージの単一の第１のリードとの間に，前記複数の第１のパッドと同数の複数の第１の結合ワイヤを設けた構造を備えた半導体装置において，更にワイヤオープン検出用の第２のリードとワイヤオープン検出用の第２のパッドとを第２の結合ワイヤを介して設け，前記複数の第１のパッドと前記第２のパッドとの間を，前記複数の第１のパッドと同数の抵抗を介して接続し，前記第１のリードと前記第２のリードとの間の抵抗値を基にワイヤオープン検出する構造を備えていることを特徴とする半導体装置が得られる。

【００１５】また，本発明によれば，前記半導体装置において，前記各抵抗は略同一抵抗値を有することを特徴とする半導体装置が得られる。

【００１６】ここで，本発明の半導体装置において，前記各抵抗値は，構成する材料にもよるが，１０Ω～１０ｋΩの範囲内であることが好ましい。

【００１７】また，本発明によれば，前記いずれかの半導体装置において，パワーＭＯＳＦＥＴ（酸化金属電界効果型）を構成していることを特徴とする半導体装置が得られる。

【００１８】

【発明の実施の形態】以下，本発明の実施の形態について，図１を参照して説明する。

【００１９】図１は本発明の実施の形態によるワイヤオープン検出装置のパワー半導体装置の構成を示す図である図１を参照すると，パワー半導体装置は，パッケージ１０内に設けられた第１乃至第３のデバイスセル（Ｍｆ１～Ｍｆ３）２ａ～２ｃに分割され，各セルに対応する各パッド（Ｐａｄ１～Ｐａｄ３，以下，第１のパッドと呼ぶ）１ａ～１ｃを介して３本の結合ワイヤ（以下，第１の結合ワイヤーと呼ぶ）３ａ～３ｃにより，リード（以下，第１のリードと呼ぶ）４に接続されている。各第１のパッド１ａ，１ｂ，１ｃから，ワイヤオープン検出用の第２のパッド（Ｐａｄ４）１ｄに，第１乃至第３の抵抗（Ｒ１，Ｒ２，Ｒ３）６ａ，６ｂ，６ｃを介して接続している。第１及び第２のリード４，５は，図示しないこの第１及び第２のリード４，５間の抵抗値を検出するための抵抗検出手段に接続されている。

【００２０】第２のパッド１ｄは第２のワイヤ３ｄを介して第２のリード５に接続されている。第１及び第２の結合ワイヤ３ａ～３ｄ，第１及び第２のパッド１ａ～１ｄ，及び配線は，金やＡｌなどの金属によって形成する。抵抗６ａ～６ｃは，Ｓｉ基板に不純物を導入した拡散層や，不純物を導入したポリシリコン層，あるいはＷＳｉなど，金属に比べて十分に高い抵抗材を用いて形成する。

【００２１】ここで，第１乃至第３の抵抗６ａ～６ｃの各抵抗値をＲ１＝Ｒ２＝Ｒ３＝９０Ωに設定すると，ワイヤオープン不良がなく正常の場合，第１及び第２のリード４，５間の抵抗値は３０Ωである。

【００２２】しかし，第１のリード４から各第１のパッド（Ｐａｄ１～Ｐａｄ３）１ａ～１ｃへの第１も結合ワイヤ３ａ～３ｃでオープンがあった場合，１本オープンで第１及び第２のリード４，５間の抵抗は４５Ω，２本オープンで，第１及び第２のリード４，５間の抵抗は９０Ω，３本全てオープンで第１及び第２のリード４，５間の抵抗もオープン（∞）と抵抗値が変化する。

【００２３】従って，第１及び第２のリード４，５間の抵抗を測定することにより，ワイヤオープンを検出することができる。

【００２４】なお，検出用の第２のリード５と第２のパ

ッド（Ｐａｄ４）１ｄ間の第２のワイヤ１１ｄがオープンであった場合も，第１及び第２のリード間はオープンとなる。また，抵抗検出手段は，検出する抵抗値のオーダーに対応し（∞は除く），且つ全てオープンを検出できるものであるならば，どのような構成を有するものであっても良い。

【００２５】次に，本発明の実施の形態の動作について，図１を参照して説明する。

【００２６】第１の結合ワイヤ３ａ〜３ｃにオープンが生じた場合，抵抗６ａ〜６ｃの内のオープンしたワイヤに対応した抵抗がオープンとなる。

【００２７】従って，デバイスの第１のリード４とワイヤオープン検出用の第２のリード５との間の抵抗値が変化する。従って，デバイスのリードと検出リード間の抵抗を測定することにより，ワイヤオープンの有無を検出することができる。

【００２８】

【発明の効果】以上説明したように，本発明によれば，第１のリードと第１のパッドに，更に，ワイヤオープン検出用の第２のリードと第２のパッドを設け，複数の第１のワイヤに対応する第１のパッドから同一抵抗を介して接続することにより，ワイヤオープンのＤＣ検出を可能にしたので，複数のワイヤを使用するパワー半導体装置のワイヤオープンを検出できる半導体装置と，半導体装置のオープン検出方法及び検出装置を提供することができる。

【図面の簡単な説明】

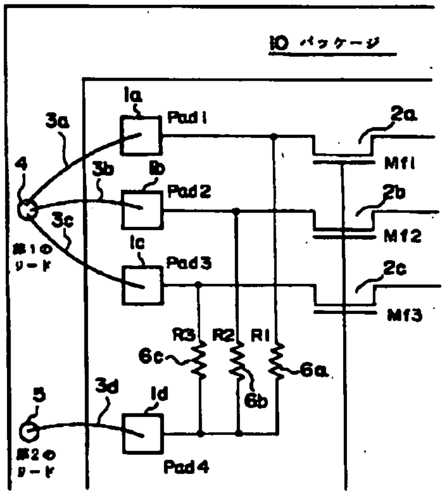
【図１】本発明の実施の形態によるワイヤオープン検出装置を備えたパワー半導体装置の構成を示す図である。

【図２】従来のワイヤオープン検出装置を備えたパワー半導体装置の一例を示す図である。

【符号の説明】

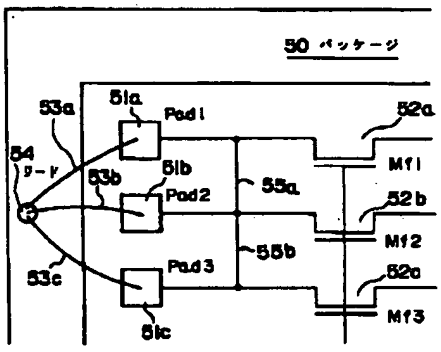
１ａ，１ｂ，１ｃ，	第１のパッド（Ｐａｄ１，Ｐａｄ２，Ｐａｄ３）
１ｄ	第２のパッド（Ｐａｄ４）
２ａ，２ｂ，２ｃ	第１乃至第３のデバイスセル（Ｍｆ１，Ｍｆ２，Ｍｆ３）
３ａ，３ｂ，３ｃ	第１の結合ワイヤ
３ｄ	第２の結合ワイヤ
４	第１のリード
５	第２のリード
１０	パッケージ
５０	パッケージ
５１ａ，５１ｂ，５１ｃ	パッド（Ｐａｄ１，Ｐａｄ２，Ｐａｄ３）
５３ａ，５３ｂ，５３ｃ	結合ワイヤ
５４	リード
５５ａ，５５ｂ	電極間金属配線

【図１】



R1〜R3：抵抗

【図２】



フロントページの続き

(51)Int.Cl.^{6}	識別記号	ＦＩ	
Ｈ０１Ｌ　21/66		Ｈ０１Ｌ　21/66	Ｅ Ｒ

Detailed Description of the Invention]
[0001]
[Field of the Invention] this invention -- power semiconductor devices, such as power metal-oxide semiconductor field effect transistor, and the defect detection approach of those -- and -- ** -- it is related with defect detection equipment.
[0002]
[Description of the Prior Art] Conventionally power semiconductor devices, such as power metal-oxide semiconductor field effect transistor (gold oxide group electric field effect mold transistor) Since the current transmitted is large, as shown in drawing 2 , between two or more pads (Pad 1-3) 51a, 51b, and 51c connected to the 1st thru/or 3rd device cel (Mf 1-3) 52a, 52b, and 52c, respectively, and the leads 54 of a package 50 There is the need of making the joint wires 53a, 53b, and 53c to combine into two or more. Although divided into two or more device cels 52a, 52b, and 52c which have two or more pads 51a, 51b, and 51c corresponding to two or more joint wires 53a, 53b, and 53c, the power semiconductor device is short-circuited with the inter-electrode metal wiring 55a and 55b at the edge of each device cel in order to prevent DC and the imbalance in the case of high frequency (RF) actuation.
[0003] Here, since normal device actuation will be carried out if combined by at least one among two or more wires 53a-53c even if there is poor opening, such as wire adhesion, defect detection cannot be performed. Although the device which has poor wire opening carries out normal actuation in the short term, since it is over the allowable current which can be used for the insurance of Wires 53a-53c, in the long run, it will produce wire breakage and will not carry out normal device actuation.
[0004] In order to cancel this fault, the detection approach which used the voltage regulator is indicated by JP,8-51190,A (it is called the conventional technique 1).
[0005]
[Problem(s) to be Solved by the Invention] However, in the conventional technique 1, it is limited only to the application which makes between detection terminals a constant voltage, and has the fault of being inapplicable to the usual power semiconductor device.
[0006] Moreover, in two or more joint wires 53a-53c of the power semiconductor device by the conventional technique 1, even if a device has poor wire opening in the short term in order to carry out normal actuation if one or more joint wires 53a-53c are combined, if the joint wires 53a-53c are combined normally, there is at least one fault that defect detection cannot be performed among plurality.

[0007] Then, in the power semiconductor device which uses two or more wires, the technical technical problem of this invention detects poor wire opening, and is to offer the semiconductor device which can secure the dependability of normal actuation over a long period of time [of a device], its wire opening detection approach, and detection equipment.
[0008]
[Means for Solving the Problem] According to this invention, between two or more 1st pads and the single leads of the 1st of a package which were established corresponding to the device cel In the equipment which detects wire opening of a power semiconductor device which prepared two or more 1st joint wires of said two or more 1st pads and same number Furthermore, the 2nd joint wire is minded for the 2nd lead for wire opening detection, and the 2nd pad for wire opening detection. Prepare and said two or more 1st pads and resistance of the same number are minded for between said two or more 1st pads and said 2nd pad. It connects and the wire opening detection equipment of the semiconductor device characterized by having the wire opening detection structure based on the resistance between said 1st lead and said 2nd lead is obtained.
[0009] Moreover, according to this invention, in the wire opening detection equipment of said power semiconductor device, the wire opening detection equipment of the semiconductor device characterized by said each resistance having abbreviation same resistance is obtained.
[0010] Here, in this invention, it is desirable in the wire opening detection equipment of said semiconductor device that it is within the limits of 10ohm-10kohm although said each resistance is based on the ingredient to constitute.

[0011] According to this invention, moreover, between two or more 1st pads of a device cel, and the single lead of the 1st of a package In the approach of detecting wire opening of a power semiconductor device which prepared two or more 1st joint wires of said two or more 1st pads and same number Furthermore, prepare the 2nd lead for wire opening detection, and the 2nd pad for wire opening detection, and resistance of said 1st pad and same number is minded for between said 1st pad and said 2nd pad. It connects and the wire opening detection approach of the semiconductor device characterized by carrying out wire opening detection based on the resistance between said 1st lead and said 2nd lead is acquired.

[0012] Moreover, according to this invention, in the wire opening detection approach of said semiconductor device, the wire opening detection approach of the semiconductor device characterized by using what has abbreviation same resistance in said each resistance is acquired.

[0013] Here, in the opening detection approach of the power semiconductor device of this invention, although said each resistance is based also on the ingredient to constitute, it is desirable that it is within the limits of 10ohm-10kohm.

[0014] According to this invention, moreover, between two or more 1st pads of a device cel, and the single lead of the 1st of a package In said two or more 1st pads and the semiconductor device equipped with the structure which prepared two or more 1st joint wires of the same number Furthermore, the 2nd joint wire is minded for the 2nd lead for wire opening detection, and the 2nd pad for wire opening detection. It prepares, between said two or more 1st pads and said 2nd pad is connected through said two or more 1st pads and resistance of the same number, and the semiconductor device characterized by having the wire opening detection structure based on the resistance between said 1st lead and said 2nd lead is obtained.

[0015] Moreover, according to this invention, in said semiconductor device, the semiconductor device characterized by said each resistance having abbreviation same resistance is obtained.

[0016] Here, in the semiconductor device of this invention, although said each resistance is based also on the ingredient to constitute, it is desirable that it is within the limits of 10ohm-10kohm.

[0017] Moreover, according to this invention, in said one of semiconductor devices, the semiconductor device characterized by constituting power metal-oxide semiconductor field effect transistor (metal oxide electric field effect mold) is obtained.

[0018]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained with reference to drawing 1 .

[0019] When drawing 1 which is drawing showing the configuration of the power semiconductor device of the wire opening detection equipment by the gestalt of operation of this invention is referred to, drawing 1 a power semiconductor device It is divided into the 1st thru/or 3rd device cel (Mf1-Mf3) 2a-2c prepared in the package 10, and each pads (it is called the 1st pad Pad1-Pad3, and the following) 1a-1c corresponding to each cel are minded. Three joint wires (it is hereafter called the 1st joint wire) 3a-3c connect with the lead (it is hereafter called the 1st lead) 4. It has connected with 2nd pad (Pad4) 1d for wire opening detection from each 1st pad 1a, 1b, and 1c through the 1st thru/or the 3rd resistance (R1, R2, R3) 6a, 6b, and 6c. The 1st and 2nd leads 4 and 5 are connected to the resistance detection means for detecting the resistance between these 1st and 2nd leads 4 that are not illustrated and 5.

[0020] It connects with the 2nd lead 5 through 2nd wire 3d 2nd pad 1d. The 1st and the 2nd joint wire 3a-3d, the 1st and 2nd pads 1a-1d, and wiring are formed with metals, such as gold and aluminum. Resistance 6a-6c forms the diffusion layer which introduced the impurity into Si substrate, the polish recon layer which introduced the impurity, or WSi using resistance material high enough compared with a metal.

[0021] Here, when each resistance of the 1st thru/or the 3rd resistance 6a-6c is set as R1=R2=R3=90ohm, there is no poor wire opening, and when normal, the resistance between the 1st and 2nd leads 4 and 5 is 30ohms.

[0022] However, when the 1st from the 1st lead 4 to each 1st pad (Pad1-Pad3) 1a-1c has opening with the joint wires 3a-3c, it is [one] open and the resistance between the 1st and 2nd leads 4 and 5 is [two] open 45 ohms. As for the resistance between the 1st and 2nd leads 4 and 5, as for 90 ohms of three opening (infinity) and resistance, resistance between the 1st and 2nd leads 4 and 5 also changes by opening altogether.

[0023] Therefore, wire opening is detectable by measuring resistance between the 1st and 2nd leads 4 and 5.

[0024] in addition, lead 5 and the 2nd pad (Pad4) 1d [2nd] for detection -- also when 2nd wire 11d of a between is open, it is opened between the 1st and 2nd leads. Moreover, if a resistance detection means corresponds to the order of the resistance to detect (infinity removes) and opening can be detected altogether, you may have what kind of configuration.

[0025] Next, actuation of the gestalt of operation of this invention is explained with reference to drawing 1 .

[0026] When opening arises on the 1st joint wire 3a-3c, the resistance corresponding to the wire opened of the resistance 6a-6c is opened.

[0027] Therefore, the resistance between the lead 4 of the 1st of a device and the 2nd lead 5 for wire opening detection changes. Therefore, the existence of wire opening is detectable by measuring resistance between the lead of a device, and a detection lead.

[0028]

[Effect of the Invention] As explained above, according to this invention, prepare the 2nd the lead and 2nd pad further for wire opening detection in the 1st lead and 1st pad, and the same resistance is minded from the 1st pad corresponding to two or more 1st wires. Since DC detection of wire opening was enabled by connecting, the semiconductor device which can detect wire opening of the power semiconductor device which uses two or more wires, and the opening detection approach and detection equipment of a semiconductor device can be offered.

[Translation done.]